

5887/3/3/2885
5882/3/3/2885

BEST AVAILABLE COPY

Patent number: JP2103925
Publication date: 1990-04-17
Inventor: OKA HIDEAKI
Applicant: SEIKO EPSON CORP
Classification:
- international: H01L21/20; H01L21/324; H01L21/336; H01L29/784
- european:
Application number: JP19880257827 19881013
Priority number(s): JP19880257827 19881013

Report a data error here

Abstract of JP2103925

PURPOSE: To obtain a large-sized element having high resolution by laminating first and second amorphous silicon layers on amorphous material, and heat-treating it so as to make the amorphous silicon into large grain diameter and forming a semiconductor element here. **CONSTITUTION:** The first amorphous Si layer 102 with a thickness of about 100-3000 Angstrom is overlaid on insulating amorphous material 101 such as glass, quartz, SiO₂, etc., by a vacuum deposition method, and thereon the second amorphous Si layer 103 with a thickness of about 50-1000 Angstrom is accumulated by the LPCVD method. Hereupon, it is important that the first Si layer 102 should be amorphous Si whose polycrystalline nucleus generation rate is lower than the second Si layer 103, so, Si which generates few nucleuses even in heat treatment of several tens hours, for example, at 550-650 deg.C is used. Thereafter, heat treatment of 2-10 hours at 550-650 deg.C is done, and the first and second layers 102 and 103 are united and are converted to a polycrystalline Si layer 104 with large grain diameters, and here source and drain regions 106, and a gate electrode 105 through a gate insulating film 107 are provided, thus a semiconductor element is formed.

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
 ⑫ 公開特許公報(A) 平2-103925

⑬ Int.Cl.⁵ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)4月17日
 H 01 L 21/20 7739-5F
 21/324 7738-5F
 21/338
 29/784
 8624-5F H 01 L 29/78 311 Z
 審査請求 未請求 請求項の数 6 (全7頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-257827

⑰ 出 願 昭63(1988)10月13日

⑱ 発 明 者 関 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
 会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
 会社

⑳ 代 理 人 弁理士 上柳 雅彦 外1名

要 約

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- 1) (a) 絶縁性非晶質材料上に第1の非晶質シリコン層を形成する工程、
- (b) 該第1の非晶質シリコン層上に第2のシリコン層を形成する工程、
- (c) 該第1の非晶質シリコン層及び第2のシリコン層を熱処理等により結晶成長させる工程、
- (d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする半導体装置の製造方法。
- 2) 前記第2のシリコン層が非晶質シリコンであることを特徴とする請求項1記載の半導体装置の製造方法。
- 3) 前記第2のシリコン層をCVD法で形成したことを特徴とする請求項1及び請求項2記載の半導体装置の製造方法。
- 4) 前記第2のシリコン層をCVD法で500℃

～560℃で形成したことを特徴とする請求項3記載の半導体装置の製造方法。

5) 前記第2のシリコン層の膜厚が50Åから100Åであることを特徴とする請求項1～請求項4記載の半導体装置の製造方法。

6) 前記第2のシリコン層が微結晶シリコンであることを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体装置の製造方法に関わり、特に、絶縁性非晶質材料上に半導体素子を形成する製造方法に関する。

【従来の技術】

ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性な半導体素子を形成する試みが成されている。

近年、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような

絶縁性非晶質材料上の高性能な半導体素子の実現が待望されている。

絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例にとると、(1)プラズマCVD法等により形成した非晶質シリコンを素子材としたTFT、(2)CVD法等で形成した多結晶シリコンを素子材としたTFT、(3)熔融再結晶化法等により形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べてTFTの電界効果移動度が大幅に低く(非晶質シリコンTFT $< 1 \text{ cm}^2/\text{V} \cdot \text{sec}$ 、多結晶シリコンTFT $\sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$)、高性能なTFTの実現は困難であった。

一方、レーザビーム等による熔融再結晶化は、未だに十分に完成した技術とは見え、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

(b) 該第1の非晶質シリコン層上に第2のシリコン層を形成する工程。

(c) 該第1の非晶質シリコン層及び第2のシリコン層を熱処理等により結晶成長させる工程。

(d) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくともも有することを特徴とする。

【実施例】

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(A)は、ガラス、石英等の絶縁性非晶質基板、もしくはSiO₂等の絶縁性非晶質材料層等の絶縁性非晶質材料101上に第1の非晶質シリコン層102を形成する工程である。第1の非晶質シリコン層の形成方法としては、例えば、真空蒸着法で 10^{-5} Pa 程度以下の真空度で膜厚 $100 \text{ \AA} \sim 3000 \text{ \AA}$ 程度の非晶質シリコン膜を形成する等の方法がある。尚、成膜方法はこれに

【発明が解決しようとする課題】

そこで、絶縁性非晶質材料上に高性能な半導体素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを固相成長させる方法が注目され、研究が進められている。(Thin Solid Films 106 (1983) p.227、JJAP Vol.25 No.2 (1986) p.L121)

しかし、従来の技術では、多結晶シリコンをCVD法で形成し、Si⁺をイオンインプラして該多結晶シリコンを非晶質化した後、600℃程度の熱処理を100時間近く行っていた。そのため、高価なイオン注入装置を必要としたほか、熱処理時間も極めて長いという欠点があった。

そこで、本発明はより簡便かつ実用的な方法で、大粒径の多結晶シリコンを形成する製造方法を提供するものである。

【課題を解決するための手段】

本発明の半導体装置の製造方法は、

(a) 絶縁性非晶質材料上に第1の非晶質シリコン層を形成する工程、

限定されるものではなく、第2のシリコン膜に比べて多結晶核発生確率の低い(望ましくは、550℃から650℃程度の熱処理を数時間行っても多結晶核が発生しない)非晶質シリコンであることが重要である。(B)は、該第1の非晶質シリコン層102上に第2のシリコン層103を積層する工程である。第2のシリコン層の形成方法としては、例えば、LPCVD法で500℃～560℃程度で膜厚50Å～1000Å程度の非晶質シリコン膜を形成する等の方法があるが、成膜方法はこれに限定されるものではなく、550℃から650℃程度の熱処理による多結晶核発生確率が第1の非晶質シリコンに比べて高く、多結晶核発生密度が低い(望ましくは、1μm²角に結晶核1個未満程度)シリコン膜であることが重要である。

(C)は、第1及び第2のシリコン層を熱処理により結晶成長させる工程である。熱処理温度は第1及び第2のシリコン層の成膜条件により最適条件が異なるが、550℃～650℃程度で2～10時間程度置素もしくはAr等の不活性ガス雰囲気

コンであっても最少を製品領域のサイズが小さく
なってくると、前記の多結晶性シリコンの製造的
高い非晶シリコンとの区別は困難になる。

図 2 のシリコン層の成膜方法は、CVD法
に限定されるものではなく、プラズマCVD法、
光CVD法、MBE法等で形成することも可能で
ある。例えば、プラズマCVD法ではシリコンを
300℃～500℃と比較的高くに加熱し形成し
た膜が上述に条件をよく満たしていた。図 2 のシ
リコン層は、第 1 の非晶シリコン層と比べて多
結晶性シリコン層が比較的厚く、層厚の調節で
結晶性が発生する膜であることが図 2 である。

また、図 1 の非晶シリコン上に、図 2 のシリ
コン層を成膜するとともに第 1 の非晶シリコン層
上に存在する不純物化膜を除去した方が膜質及び
結晶性の向上に有効であることが明らかとなった。
図 2 のシリコン層を成膜する前に水素ガス雰囲気
もしくは水素プラズマ雰囲気中で加熱すると、
第 1 の非晶シリコン層上の酸化膜を除去することが出来る。
図 2 に、第 1 の非晶シリコン層と図 2 のシリコン

層を形成する前に加熱処理する方法も可能であ
る。

多結晶性シリコン層が比較的薄い図 2 のシリコン
層と多結晶性シリコン層が厚い図 1 の非晶シリコン
層を成膜して550℃～650℃程度の加熱処理を
行くと、まず、図 2 のシリコン層で結晶性が発生
する。(しかし、結晶性発生に要する時間比較長
時間と短い。) 図 2 のシリコン層で発
生した結晶性をシードとして図 1 の非晶シリコン
層が多結晶化する。図 1 の非晶シリコン層
は多結晶性シリコン層が厚い図 2 のシリコン層
で発生した結晶性以外の部分から結晶成長が速
く進む。その結果、図 2 の結晶性をシードとした
加熱処理で結晶成長が速く、大面積の多結晶シリ
コンが形成される。図 2 に、本発明では結晶成長が
図 2 の図 2 のシリコン層を起点としてシリコン層
に向かって進むため、シリコン層のシリコン層の
結晶性が良くなるというメリットがある。この
特徴を強調した実施例を図 3 に示す。

図 3 図は、本発明の実施例におけるシリコン層

の製造工程図の一例である。図 3 図ではシリ
コン層としてシリコントランススタ(TFT)を形成
する場合を示している。

図 3 図において、(A)は、ガラス、基板等の
絶縁体非晶シリコン、もしくはSiO₂等の絶縁体非
晶シリコン層の絶縁体非晶シリコン層上に第 1 の非
晶シリコン層 202 を形成する工程である。図 1 の
非晶シリコン層の形成方法としては、例えば、
真空蒸着法で10⁻⁵Pa程度以下の真空度で図 1
100Å～3000Å程度の非晶シリコン層を
形成する方法がある。図 3 図では図 3 図に
示されるものでなく、図 2 のシリコン層に比
べて多結晶性シリコン層の厚い(図 3 図は、550
℃から650℃程度の加熱処理を10時間行っ
ても多結晶性シリコン層が厚い)非晶シリコンである
ことが図 3 である。(B)は、図 1 の非晶シリ
コン層 202 上に図 2 のシリコン層 203 を成膜する
工程である。図 2 のシリコン層の形成方法として
は、例えば、LPCVD法で500℃～650℃
程度で図 2 50Å～1000Å程度の非晶シリ

コン層を形成する方法があるが、図 3 図では
これに限定されるものではなく、550℃から6
50℃程度の加熱処理による多結晶性シリコン層が図
1 の非晶シリコン層に比べて厚く、多結晶性シリ
コン層が厚い(図 3 図は、1μm以上にシリコン層 1
000Å程度)シリコン層であることが図 3 である。
(C)は、図 1 及び図 2 のシリコン層を加熱処理に
より結晶成長させる工程である。加熱処理は図 1
及び図 2 のシリコン層の成膜条件により図 3 図
が異なるが、550℃～650℃程度で2～1
0時間加熱処理もしくはAr等の不活性ガス雰囲
中で加熱処理することで多結晶シリコン層 204 が形
成される。そのメカニズムは、図 3 図の加熱処理に
より図 2 のシリコン層で結晶性が発生する。
図 3 図は、その結晶性をシードとして図 1 の非晶シリ
コン層が多結晶化する。大面積の多結晶シリ
コン層 204 が形成される。本発明においては結晶成長
が図 3 図からシリコン層に向かって進むため、シリ
コン層のシリコン層の結晶性が良くなるというメリ
ットがある。

(D)は、多結晶化されたシリコン層204を所定の図形に形成する工程である。例えば、図200A~2000A程度の図1の非晶質シリコン層と図200A~1000A程度の図2のシリコン層を形成し、結晶化等によって結晶成長させた後、酸蝕イオンエッチング(RIE)等のドライエッチング法もしくは湿法、図面等を介して所定形状のウェットエッチング法で、図200A~1000A程度の図形に形成する。特に、形成されたシリコン層205の図形は、300A程度の図形以下のものである方がTFTの電気的図形がパルク性高く、その上に形成されるため好ましい。又、形成の方法として、先に結晶化法により、多結晶シリコンを形成して酸化シリコン層を形成する方法、ゲート絶縁層を結晶化法で形成して、絶縁層を形成しながら形成を行う方法等がある。

(E)は、形成されたシリコン層205に半導体層を形成する工程である。前述の通り、前述の結晶成長の結晶性の図形を形成に層を形成することができ、図2図(E)で、半導体層としてT

FTを形成する場合を例としている。図において、206はゲート図形、207はソース・ドレイン図形、208はゲート絶縁層、209は図形絶縁層、210はコンタクト穴、211は図形を示す。TFT形成法の一つとしては、多結晶シリコン層205をパターン形成し、ゲート絶縁層を形成する。図ゲート絶縁層は結晶化法で形成する方法(湿法プロセス)とCVD法もしくはプラズマCVD法で600度程度以下の温度で形成する方法(乾法プロセス)がある。乾法プロセスでは、基板としてガラス基板を用いるため、大気圧の図形パネルや図形イメージセンサ等の半導体図形を低コストで作成できる図形、三次元IC等を形成する場合においても、下部の図形に図形(例えば、不純物の図形)を与えずに、上部に半導体層を形成することが出来る。図で、ゲート図形を形成後、ソース・ドレイン図形をイオン注入法、結晶化法、プラズマドーピング法で形成し、図形絶縁層をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、図形絶縁層にコンタク

ト穴を形成、図形を形成することでTFTが形成される。

図で、図1の非晶質シリコンもしくは図2のシリコンの一方の面を形成成長させた場合と形成して半導体の図形を形成する。

本発明の図形は、大気圧の多結晶シリコンを形成時の図形であり、図形のプロセスで形成する点にある。図1の非晶質シリコン層の面を形成成長させた場合、図形のプロセスは図形とする欠点がある。図形のプロセスを形成するために、図形のプロセスを600度以上に上げると、多結晶シリコン層が図形に高くなり、せいぜい300A~200A程度の図形の多結晶シリコンしか得られなくなる。

また、図2のシリコン層の面では、結晶成長図形を形成させるために自由に図形を形成することができ、図1の非晶質シリコン層と図2のシリコン層を形成する図形を形成すると、結晶成長を形成する図2のシリコン層の図形を形成に形成できる利点がある。図で、前述の通り、図1

図形条件であっても図形を形成するにつれて多結晶シリコン層を小さくできる。例えば、図2のシリコン層を60A~100A程度の図形と図1の図形を形成する図1の非晶質シリコンで形成する図形とを形成する。

【発明の図形】

以上述べたように、本発明によればより図形を形成プロセスで大気圧の多結晶シリコン層を形成することが出来る。その図形、結晶成長シリコン層上に図形を半導体形成することが可能となり、大気圧の図形図形の図形図形パネルや図形図形の図形イメージセンサや三次元IC等を形成できるようなった。

さらに、本発明はせいぜい600度程度の図形の図形が図形であるため、(1)図形として図形をガラス基板に形成する。(2)三次元ICで、下部の図形に図形(例えば、不純物の図形)を与えずに上部に半導体層を形成することが出来る。図のメリットもある。

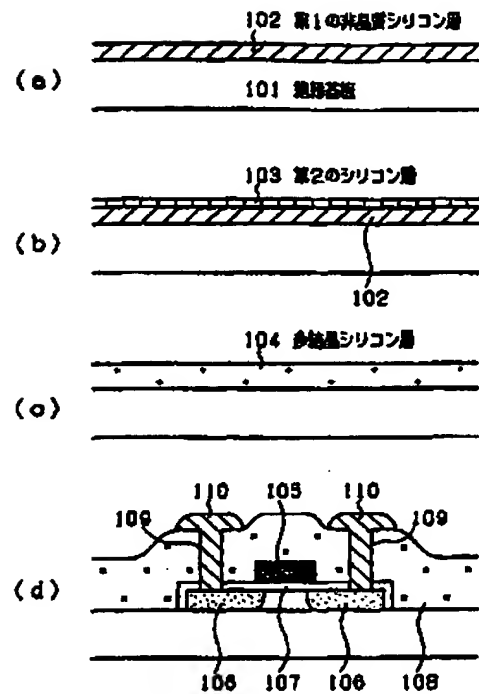
また、本発明は、図1図の図形図形に示したTFT

T以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体を素子材として形成する場合にもわめて有効な製造方法となる。

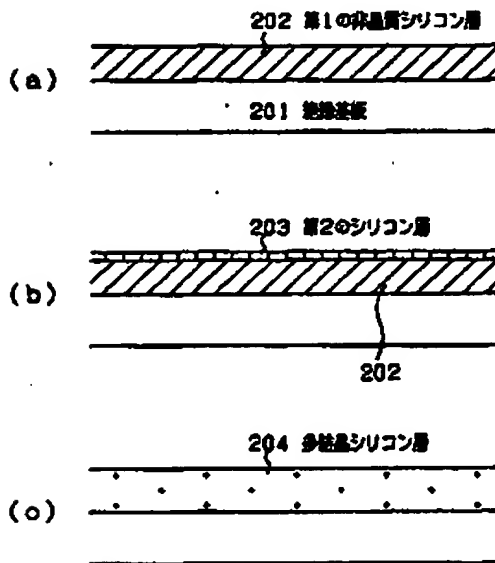
4. 図面の簡単な説明

第1図(a)～(d)及び第2図(a)～(e)は本発明の実施例における半導体装置の製造工程図である。

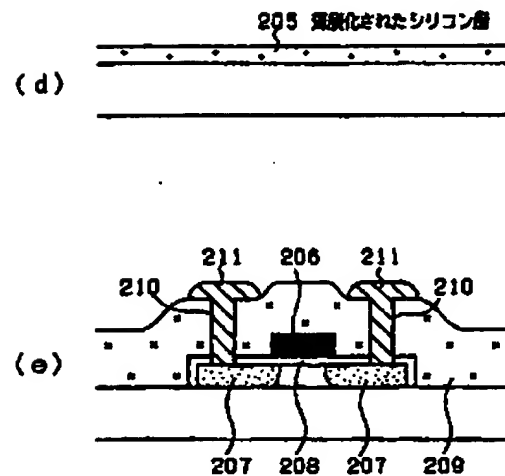
- 101,201 … 絶縁性非晶質材料
- 102,202 … 第1の非晶質シリコン層
- 103,203 … 第2のシリコン層
- 104,204 … 多結晶シリコン層
- 105,206 … ゲート電極
- 106,207 … ソース・ドレイン領域
- 107,208 … ゲート絶縁膜
- 108,209 … 層間絶縁膜
- 109,210 … コンタクト穴
- 110,211 … 配線



第1図



第2図



第2図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.